

# BEST AVAILABLE COPY

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平3-219333

⑬ Int. Cl. 5

G 06 F 11/20  
15/16

識別記号

3 1 0  
4 7 0

府内整理番号

B  
J  
9072-5B  
6945-5B

⑭ 公開 平成3年(1991)9月26日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 待機二重系装置

⑯ 特 願 平2-15446

⑯ 出 願 平2(1990)1月24日

⑰ 発明者 安部 正夫 埼玉県浦和市上木崎1丁目13番8号 日本信号株式会社与野事業所内  
⑰ 発明者 川口 剛 埼玉県浦和市上木崎1丁目13番8号 日本信号株式会社与野事業所内  
⑰ 出願人 日本信号株式会社 東京都千代田区丸の内3丁目3番1号  
⑯ 代理人 弁理士 石井 光正

## 明細書

### 1. 発明の名称

待機二重系装置

### 2. 特許請求の範囲

各系のCPUを互いに他系の記憶部と接続し、

各系のCPUに、

(a) 自系の演算結果であるデータを自系の記憶部に記憶すると共に、他系の記憶部にコピーする記憶制御手段と、

(b) 従系は主系からコピーされた情報と自系の演算結果とを比較し、一致している場合は、いつでも系切換が可能であることを主系の記憶部にコピーすることで主系に知らせ、また、従系も自系の演算結果であるデータを出力インターフェースに出力する出力制御手段と、

を備えた待機二重系装置。

### 3. 発明の詳細な説明

【産業上の利用分野】

この発明は、待機二重系装置に係り、特に、系切換時の、制御の連続性を確保するようにした待機二重装置に関する。

#### 【従来技術】

従来の待機二重系装置においては、主系の故障により系切換が行われる、それまで停止していた従系は、系切換指令入力に基いて、立ち上げ処理を行い、その立ち上げ処理を終了した時点から、演算結果であるデータを外部に出力するようになっている。

すなわち、立ち上げ処理では、まず、イニシャライズしてシステムチェックを行い、チェック結果が良好である場合に、初めて、外部入力データをスキャン入力し、1サイクルのスキャンを終了した後、取込んだデータを用いて演算し、その演算結果を所定外部機器に出力する。

従って、主系の正常動作による処理出力から故障検出に基いて系切換をし、立ち上げ処理を経て、新主系の処理出力までの経過を時

簡軸で表すと、第3図のようになる。同図において、①は主系の正常時の処理出力、②は故障に基く系切換、③は立ち上げ処理、④は新主系の処理出力を意味する。

このように、系切換指令出力時点  $t_1$  から立ち上げ処理終了時点  $t_2$  までの間は、系の連続性がとぎれることとなる。立ち上げに要する時間は、外部入力機器との間の通信方式や入力機器の数などに依存するが、いずれにしても、系連続性が損なわれる虞がある。

電子運動装置のように、高保安性が要求される分野においては、処理装置から外部機器への制御信号の遮断は、信号機や転てつ機等の制御条件の変更を来たすから、系連続性の確保は重要である。

#### 【解決しようとする技術課題】

この発明は、上記の点に鑑み、待機二重系装置において、系切換時の立ち上げ処理に基く系連続性の遮断を防止する技術を提供することを目的とする。

この間、従系は並列に動作している。

主系の故障発生が検知された場合は、従系に系切換が可能であるかチェックし、可能である場合は、系切換を発生させるための処理を行い、系切換指令が主系と従系に与えられ、従系は新主系として処理を行う。

#### 【実施例】

次に、この発明の実施例を図面に基いて説明する。

第1図において、入力インタフェース10と、CPU11と、記憶部を構成するROM12と、RAM13と、出力インタフェース14が、第1系(I)を構成しており、また、入力インタフェース20と、CPU21と、記憶部を構成するROM22と、RAM23と、出力インタフェース24が、第2系(II)を構成しており、これら二つの系に対して、各系のCPUの自己診断機能による故障検出信号に基いて、それまで従系として並列運転していた系に系切換指令を与えて、その系を

#### 【課題を解決するための手段】

上記の目的を達成するため、この発明に係る待機二重系装置は、

各系のCPUを互いに他系の記憶部と接続し、各系のCPUに、自系の演算結果であるデータを自系の記憶部に記憶すると共に、他系の記憶部にコピーする記憶制御手段と、従系は主系からコピーされた情報と自系演算結果を比較し、一致している場合は、いつでも系切換が可能であることを主系の記憶部にコピーすることで知らせ、また、従系も自系の演算結果であるデータを出力インタフェースに出力する出力制御手段とを備えたことを特徴とする。

#### 【作用】

主系として正常に動作するときは、その系のCPUは、演算結果であるデータを自系の記憶部に記憶とともに、常時、他系の記憶部にも同じデータをコピーする。主系は、最新のデータに基いて外部に出力する。

新主系として起動させると共に、出力インタフェース14、24の電源回路に挿入してある電源投入スイッチ31、32をONして当該系から外部機器40に出力させる系切換回路30が接続されている。

主系のCPUは、常時、その演算結果であるデータを従系のRAMにコピーすることが可能とされている。このコピーデータを記憶するRAMは、主系に新データが発生する度に、新コピーデータを順次更新登録するものである。

また、各系のCPU11、21は、系切換回路30から系切換指令を入力したとき、すなわち、自系が新主系となったときは、主系としての処理を開始する。また、従系となつた系は、従系としての処理を開始する。

統いて、上記の構成による動作を説明する。

今、第1系(I)が主系として正常に動作しているとすると、この間は、第2系(II)が並列に動作しており、主系のCPU11は

入力インタフェース10より入力するデータに基いて演算し、その結果をRAM13に記憶すると同時に、同一の演算結果のデータを従系のRAM23にコピーする。また、この時は、系切換回路30はスイッチ31を導通させているから、CPU11はRAM13に記憶させたデータを読出して出力インタフェース14を介して、外部機器40に出力する。こうして、入力インタフェース10より新データが入力する度に、新演算結果が外部機器40に出力され、かつ、従系のRAM23に演算結果がコピーされる。

第2図の①は、この第1系の正常動作時の処理出力を意味する。

第1系(I)に故障が発生した場合は、CPU11は従系に系切換が可能であるか、RAM13にコピーされた従系のデータをチェックし、可能である場合は、故障診断信号を系切換回路30に送出し、その結果、系切換回路30が第2系のCPU21に起動指令

を与えると同時に、スイッチ31を遮断し、かつ、スイッチ32を導通させて、系の切換を行う。第2図の②の部分がこの系切換に相当する。

新主系となった第2系のCPU21は、引き続き、入力インタフェース20を介して、すべての入力データの読み込みを行い、主系としての処理を開始する。

CPU21は、従系として処理している時は、出力インタフェース24まで出力するので、切換処理においては、出力インタフェース32を介して外部機器40に出力するだけであるため、系切換により外部機器40に与えられるデータが遮断される時間は、スイッチ32の切換時間だけとなる。

従って、外部機器間からは、見掛上、故障が生じなかったと同様に、主系のCPUからデータを受けとるので、系の連続性が確保される。

従って、外部機器40の制御条件が、実際

の入力データとの間に齟齬を生じることがないで、保安性も確保される。

第2系が主系として動作している間に、第1系の故障が修理され、その後に主系が故障を発生した場合にも、上記と同様にして、系切換が行われる。

上記の実施例では、各系の通常用いられるRAMをコピーデータ格納に使用したが、通常のRAMとは別に、両系に共通なデータコピー専用のRAMを用いても良い。

#### 【発明の効果】

上述のように、この発明に係る特機二重系装置によれば、主系が正常に稼動している間は常時、その演算結果を従系の記憶部にコピーしておき、主系の故障による系切換は、系切換が可能かチェックした後、系切換を行い、従系が新主系として処理する。また、スイッチの切換時間だけの遮断で外部機器に出力できるようにしたので、外部機器は、見掛上、系の連続性を損なうことなく制御される。

従って、外部機器の高保安性を実現することができる。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例の概略構成を示すブロック図、第2図は、系切換時の各系のCPUの処理内容を説明するタイムチャートである。

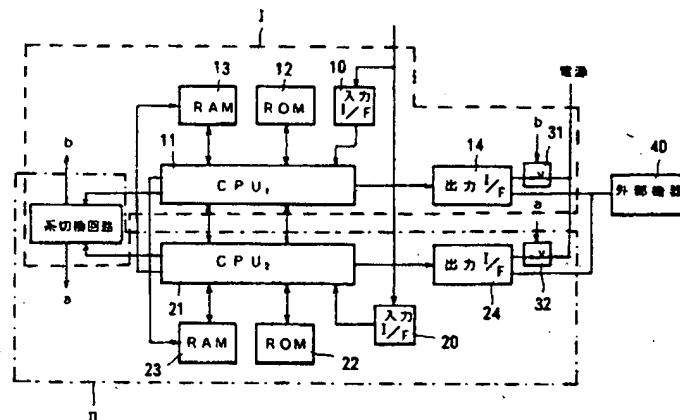
第3図は、従来装置における、第2図に対応するタイムチャートである。

I…第1系、 II…第2系、

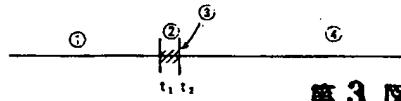
10, 20…入力インタフェース、  
11, 21…CPU、12, 13…記憶部、  
22, 23…記憶部、  
14, 24…出力インタフェース、  
30…系切換回路、  
31, 32…電源投入スイッチ、  
40…外部機器。

特許出願人 日本信号株式会社  
代理人 井理士 石井光正

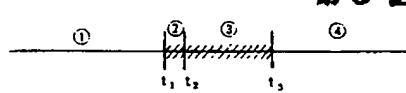
第1図



第2図



第3図



①…主系の処理出力

②…系切換

③…立ち上げ処理

④…新主系の処理出力